

# Piggyback Breakout-Board MACHXO3D

## 1 Allgemeines

Das Breakout-Board führt zwar sehr viele Anschlüsse des FPGA nach außen (das ist ja auch der Sinn des Boards), aber davon ist keiner 5V-fest und das Board selbst kann naturgemäß auch keine elektrische Leistung zur direkten Ansteuerung von Modulen aufbringen.

Die Aufgabe des Piggyboards ist daher, diese Möglichkeit für das Praktikum nachzurüsten. Dabei können Signale auch gleich passgenau für vorhandene Module zusammengestellt werden.

## 2 Anschlussbelegung

Das Piggyback wird auf den Stecker *J3* des Breakout-Boards gesteckt. Die Buchse *J1* für die Stromzufuhr ist wie die Buchse *J3* auf der Unterseite angebracht. Abbildung 1 zeigt die Lage der Anschlüsse *J1-J10* (Aufsicht) und der LED *L1*.

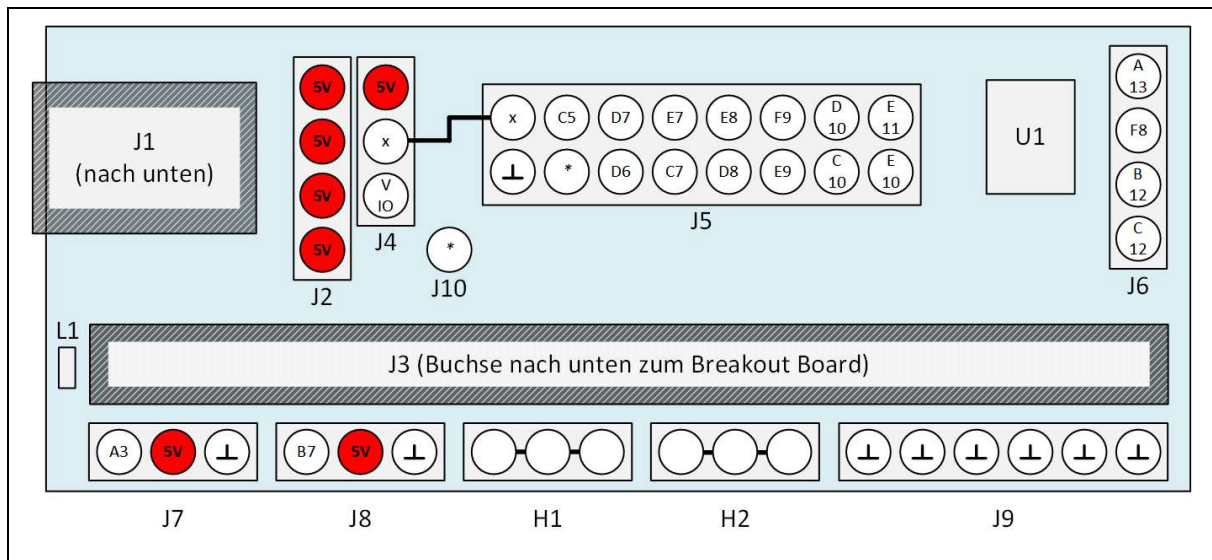


Abbildung 1: Piggyback zu J3 des Breakout-Boards, Anschlussbelegung

Beim Aufstecken sollte man kontrollieren, ob J3 passgenau steckt (nicht um eine Reihe nach links, rechts, oben oder unten versetzt). Die Bezeichnung der Elemente entspricht denen des Schaltplans *mfm\_j3\_piggyback\_v1*.

Die Bauteile *R2*, *C2* und der Pin *J10* sind in der Regel nicht bestückt. Sie werden für das Praktikum nicht benötigt.

Die mit \* bezeichneten Pins sind nicht angeschlossen, wenn der Widerstand *R2* nicht bestückt ist. Siehe dazu Kapitel 3.4, Signal E6.

### Achtung

Die Anschlüsse des FPGA dürfen nur mit Spannungen bis zur Spannung VIO betrieben werden. Diese Spannung beträgt im Praktikum 3.3V.

Module, die 5V an das FPGA liefern, können das FPGA irreparabel beschädigen. Module, die 5V erwarten, funktionieren eventuell nicht zuverlässig. Für solche Fälle muss J6 verwendet werden.

# Piggyback Breakout-Board MACHXO3D

## 3 Beschreibung der Schaltung

Die Schaltung zerfällt in einige voneinander unabhängige Blöcke. Sie werden wie im Schaltplan bezeichnet beschrieben. Die Signalnamen bezeichnen die Pins am FPGA.

### 3.1 J3 (zum Breakout-Board)

Dieser Teil enthält nur die Signale, die von J3 des Breakout-Boards verwendet werden. Unbenutzte Signale bleiben offen.

### 3.2 Externe Spannungsversorgung

Über die Buchse *J1* (Hohlstecker 5.5mm/2.5mm) kann eine Spannung im Bereich 3.3V bis 5V zugeführt werden. Vorgesehen sind 5V, denn 3.3V kann das Board mit geringer Leistung auch selber liefern.

Die LED *L1* dient nur der Kontrolle.

Die Stecker *J2* und *J9* bieten Abgriffe der eingespeisten Spannung bzw. der Masse. Aufgrund der kurzen Wege bzw. erhöhten Breite der Leitungen kann man pro Pin 500mA entnehmen, sofern das Netzteil den Strom liefern kann.

Der Anschluss *B4* zeigt an, ob ein Stecker in die Buchse *J1* gesteckt ist. Er zeigt aber nicht an, ob eine Spannung geliefert wird. Der Anschluss muss am FPGA mit Pullup-Widerstand konfiguriert werden. Das Signal ist Low, wenn sich kein Stecker in der Buchse befindet.

### 3.3 Displayanschluss

Der Stecker *J5* leitet bietet bis zu 14 Signale des FPGA. Der Stecker ist prinzipiell für den Anschluss des LED-Multiplexmoduls oder einer LCD-Anzeige mit dem Controller HD44780 gedacht. Beide Module können 1:1 angeschlossen werden.

Mit *J4* kann man wählen, ob das Modul an *J5* mit der externen Spannung (Jumper zwischen 5V und x) oder *VIO* des Boards (3.3V, Jumper zwischen 3.3V und x) versorgt werden soll.

#### **Achtung**

Wird ein Modul an *J5* mit 5V versorgt, dann darf es keine Spannung größer als 3.3V an das FPGA zurückleiten. Bei einem LCD-Modul heißt das, dass keine Leseoperation zulässig ist.

### 3.4 Signal E6

Das Signal *E6* ist ein Sonderfall. Es kann mehrere Aufgaben erfüllen.

#### 3.4.1 Analoge Kontrastspannung, extern

Wenn *R2* nicht bestückt wird, kann man über *J10* eine beliebige Spannung an Pin 3 von *J5* leiten. Das ist bei LCD-Modulen der Eingang für die Kontrastspannung. Man kann also ein Potentiometer zwischen 5V (*J2*) und Masse (*J9*) schalten und den Abgriff des Potentiometers auf *J10* legen.

#### **Achtung**

*R2* darf dann nicht bestückt werden, damit keine unzulässig hohe Spannung an Pin *E6* des FPGA gelangen kann.

# Piggyback Breakout-Board MACHXO3D

## 3.4.2 D/A-Wandler

$R2$  und  $C2$  bilden einen Tiefpass erster Ordnung. Wenn das FPGA an  $E6$  ein PWM-Signal mit ausreichend hoher Frequenz erzeugt, erhält man nach dem Tiefpass eine analoge Spannung zwischen Masse und 3.3V.

Man kann diese Spannung an  $J10$  abgreifen (externe Verwendung) oder damit die Kontrastspannung für das LCD-Modul erzeugen, solange sie nicht höher als 3.3V sein muss.

Erfahrungsgemäß kann man bei ausreichend hoher PWM-Frequenz auch ganz auf den Tiefpass verzichten. Das Modul erhält dann ein reines Digitalsignal (wie in 3.4.3), man sieht aber kein Flackern des Kontrasts.

## 3.4.3 Digitalsignal

Wenn nur  $R2$  mit einem  $0\Omega$ -Widerstand bestückt wird, hat man einfach ein Digitalsignal mehr zur Verfügung.

## 3.5 PWM/Audio

Die Stecker  $J7$  und  $J8$  führen jeweils Masse, die externe Versorgungsspannung und ein Signal des FPGA. Sie sind primär für den direkten Anschluss eines oder zweier Servomotoren gedacht. Alternativ kann man sie auch für den Audioverstärker benutzen, da dieses Modul ebenfalls eine Versorgung mit 5V erwartet.

## 3.6 Pegelwandler 5V/3.3V

Da es immer noch viele Module gibt, die mit 5V betrieben werden oder Signale mit 5V Spannungen erwarten und liefern, ist ein Pegelwandler für vier Signale vorhanden.

Der hier verwendete Baustein  $NXS0104$  kann Spannungspegel in beide Richtungen wandeln und er benötigt kein Richtungssignal.

Das ist besonders dann von Vorteil, wenn ein I2C-Bus verwendet wird und das FPGA nicht der alleinige Master ist.

Der Nachteil besteht darin, dass die 5V-Seite keine hohen Dauerströme liefern kann. Für den Umschaltvorgang selbst gilt das nicht, in dieser Zeit liefert der  $NXS0104$  zur Beschleunigung kurzzeitig einen höheren Strom.

An  $J6$  können damit beliebige Signale mit bis zu 5V angeschlossen werden ohne das FPGA zu beschädigen.

**Hinweis: Für den Normalbetrieb muss  $C13$  ein H ausgeben.**

Mit dem Anschluss  $C13$  kann das FPGA den Spannungswandler hochohmig schalten. Alle vier Signale an  $J6$  bzw. die Signale  $C12$ ,  $B12$ ,  $F8$  und  $A13$  sind dann voneinander getrennt.

## 3.7 Signalverteiler

Die Stecker  $H1$  und  $H2$  sind vom Rest der Schaltung vollkommen getrennt. Sie dienen nur der Signalverteilung, um einen Abgriff für ein Oszilloskop oder einen Logic Analyzer zu schaffen, der die Beobachtung eines nur extern vorhandenen Signals dient.

Möchte man beispielsweise den tatsächlichen Spannungsverlauf auf der 5V-Seite des Pegelwandlers sehen, dann kann man dieses Signal nicht in das FPGA selbst einleiten und dort beobachten oder an einen anderen Anschluss ausleiten.

Zur Beobachtung verbindet man einen Anschluss von  $J6$  mit einem Anschluss von  $H1$ . Der zweite Anschluss von  $H1$  geht dann an die Stelle, mit der der betreffende Anschluss von  $J6$  ursprünglich verbunden war. Der dritte Anschluss geht an das Oszilloskop.