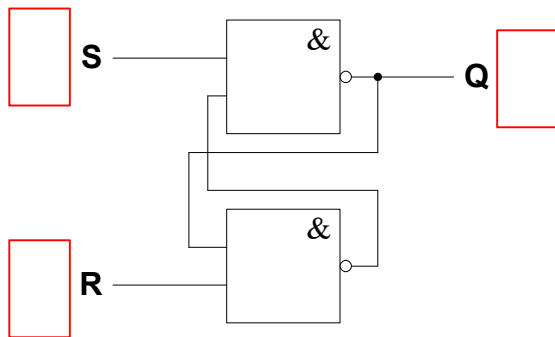


Speicher - FlipFlops

- neuer Zustand abhängig von Eingangssignalen **und** dem derzeitigen Zustand
- **zustandsgesteuerte** Flipflops ändern ihren Zustand aufgrund eines Signalpegels (statisch)
 - RS-Flipflop
 - Latch
- **flankengesteuerte** Flipflops ändern ihren Zustand aufgrund eines Pegelwechsels (dynamisch)
 - D-Flipflop

RS-FlipFlop

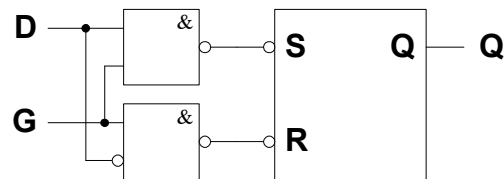
- **Bisher: Schaltnetze (kombinatorische Schaltungen)**
 - Eingangsbelegung legt Ausgangsbelegung eindeutig fest
 - Schaltung hat kein Gedächtnis
- **Gesucht: Schaltung mit Gedächtnis (Speicher)**



| S | R | Q_n | Q_{n+1} |
|---|---|-------|-----------|
| 0 | - | - | 1 |
| 1 | 0 | - | 0 |
| 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 1 |

Latch

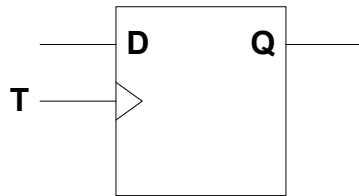
- schaltet **während** eines Taktsignalpegels den Eingang durch (das Latch ist transparent)
- hält während des anderen Taktsignalpegels den Ausgang auf dem zuletzt angenommenen Pegel (das Latch ist gesperrt)



| G | D | Q_{n+1} |
|---|---|-----------|
| 0 | - | Q_n |
| 1 | 0 | 0 |
| 1 | 1 | 1 |

D-Flipflop

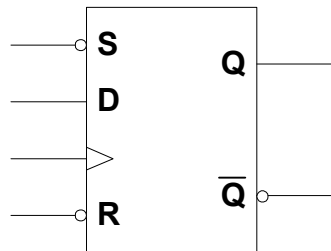
- Übernahme des Eingangs an den Ausgang nicht solange ein bestimmter Pegel anliegt sondern bei einem **Pegelwechsel** (Flanke)
- Nur eine Flanke ist die **aktive** Flanke



| T | Q_{n+1} |
|---|-----------|
| 0 | Q_n |
| 1 | Q_n |
| ┌ | D |
| └ | Q_n |

D-RS-Flipflop

- **Kombination aus**
 - taktflankengesteuertem D-Flipflop
 - zustandsgesteuertem RS-Flipflop



S und R haben Vorrang

S=0 und R=0 nicht definiert

| S | R | T | Q_{n+1} | \overline{Q}_{n+1} |
|---|---|---|-----------|----------------------|
| 0 | 1 | - | 1 | 0 |
| 1 | 0 | - | 0 | 1 |
| 1 | 1 | 0 | Q_n | \overline{Q}_n |
| 1 | 1 | 1 | Q_n | \overline{Q}_n |
| 1 | 1 | ┘ | D | \overline{D} |

Synchrones Design

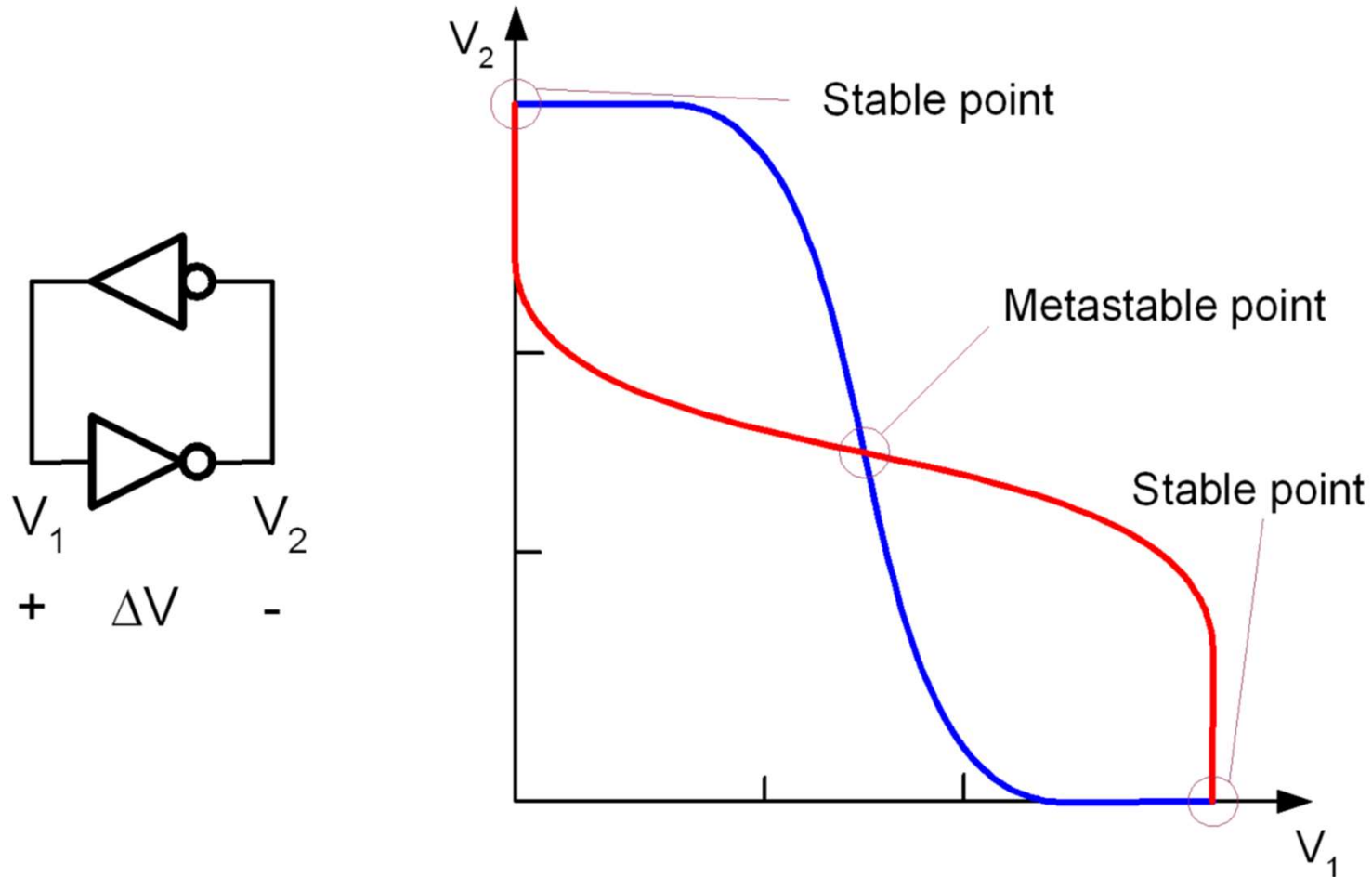
- **(möglichst) alle DFF schalten mit demselben Takt**
 - Eine gemeinsame Taktleitung (im FPGA vorhanden)
 - Unterschiedliche Frequenzen durch Taktfreigaben
 - Hohe Impulsströme möglich (Elemente schalten zum gleichen Zeitpunkt)

- **Sofern nicht möglich:**
 - Größere Bereiche mit gleichen Takt bilden
 - **Übergänge** von einem Bereich zum anderen **kann Einsynchronisieren** von Signalen erfordern

Dynamik am DFF

- **3 wesentliche Zeiten am DFF**
 - alle Zeiten bezogen auf die aktive Taktflanke T
 - t_{pd} Verzögerung T \rightarrow Q (analog t_{pd} Gatter)
 - t_s Setup: Mindestzeit, in der D vor T stabil bleiben muss
 - t_h Hold: Mindestzeit, in der D nach T stabil bleiben muss
- **Metastabiler Zustand**
 - Ursache ist Verletzung von t_s oder t_h
 - Q hat für unbestimmte Zeit einen unbestimmten Wert

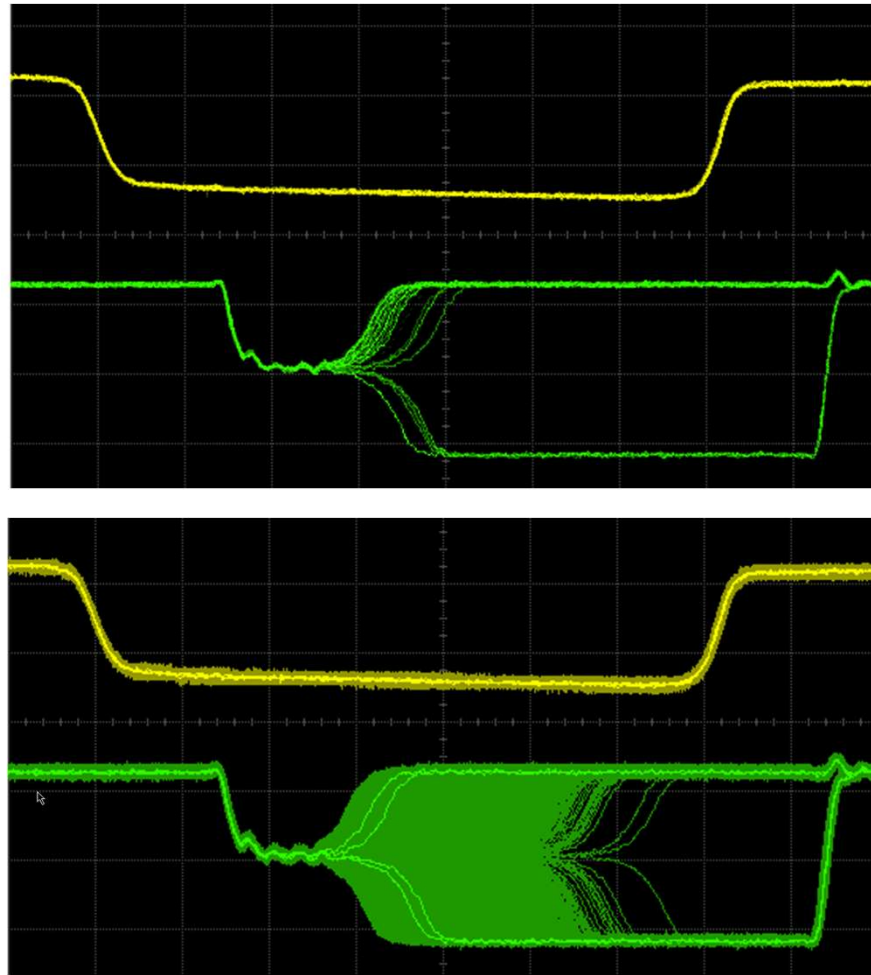
Entstehung des metastabilen Zustands



Quelle:

<https://dokumen.tips/documents/11192005ee-108a-lecture-13-c-2005-w-j-dally-ee108a-lecture-13-metastability.html>

Wahrscheinlichkeitsverteilung (Zeit)



Quelle:

<https://dokumen.tips/documents/11192005ee-108a-lecture-13-c-2005-w-j-dally-ee108a-lecture-13-metastability.html>

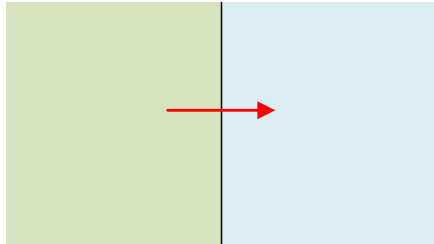
Synchrones Design

- **(möglichst) alle DFF schalten mit demselben Takt**
 - Eine gemeinsame Taktleitung (im FPGA vorhanden)
 - Unterschiedliche Frequenzen durch Taktfreigaben
 - Hohe Impulsströme möglich (Elemente schalten zum gleichen Zeitpunkt)

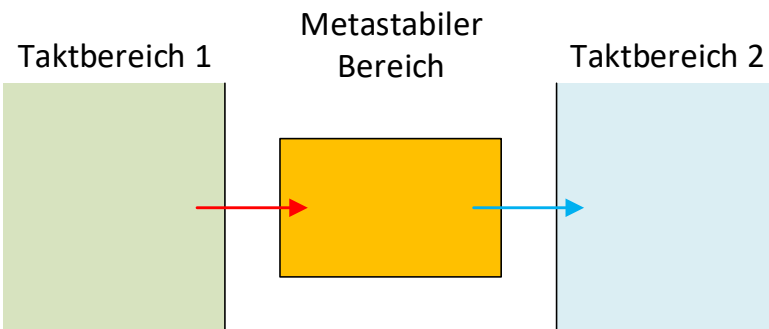
- **Sofern nicht möglich:**
 - Größere Bereiche mit gleichen Takt bilden
 - **Übergänge** von einem Bereich zum anderen **kann Einsynchronisieren** von Signalen erfordern

Übergang zwischen Taktbereichen

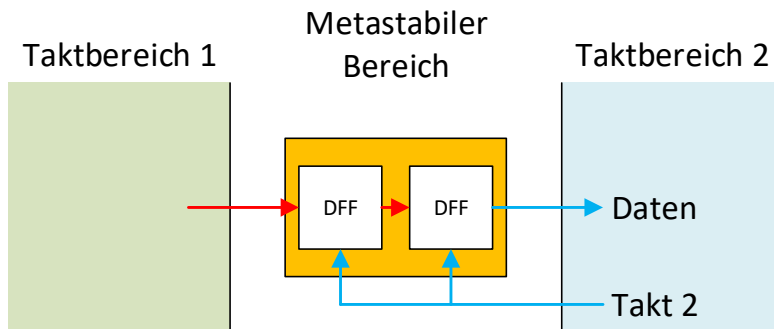
Taktbereich 1 Taktbereich 2



Taktbereich 1
kann auch extern sein

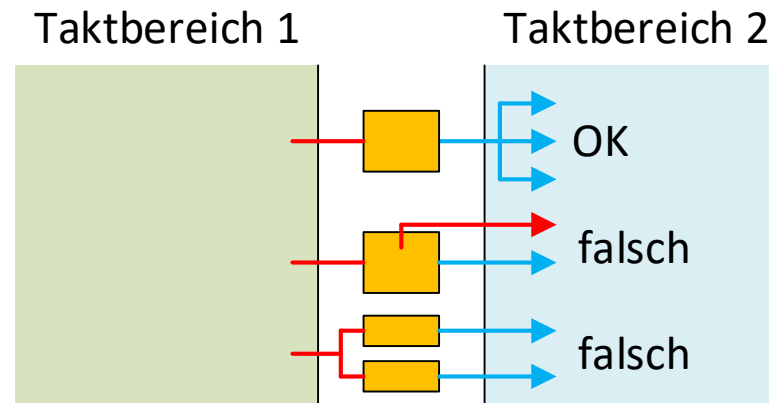


Einfügen eines
Synchronisierers



Typische DFF-Kette
Anzahl der Stufen abhängig von
- Takt 2
- Technologie der DFF

Anwendung für ein Signal



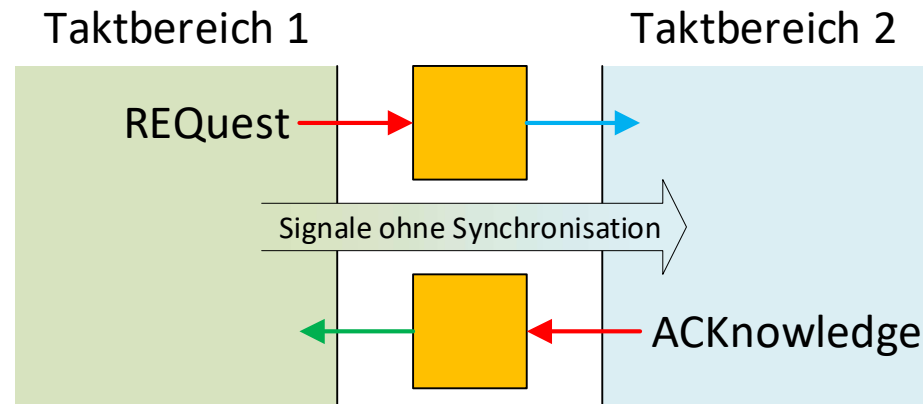
Nicht auf Signale im Synchronisierer zugreifen

Ein Signal nur **einmal** in einen Taktbereich
einsynchronisieren

Anwendung für mehrere Signale

Handshake

- Übergabe mehrerer Signale (Bus)
- Übergang zwischen Taktbereichen unbekannter Frequenzverhältnisse



Request (REQ)

- Anforderung T1->T2

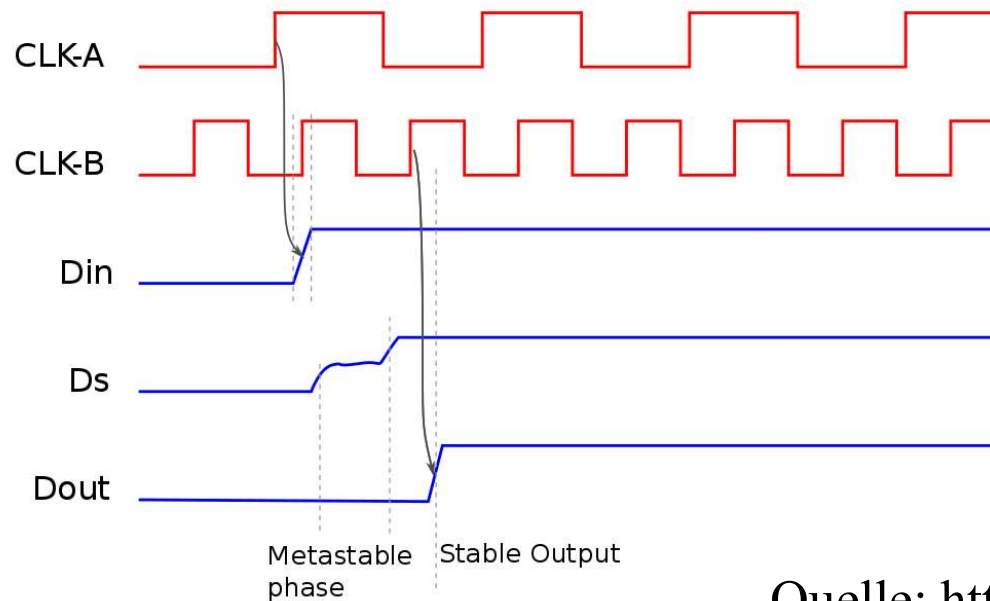
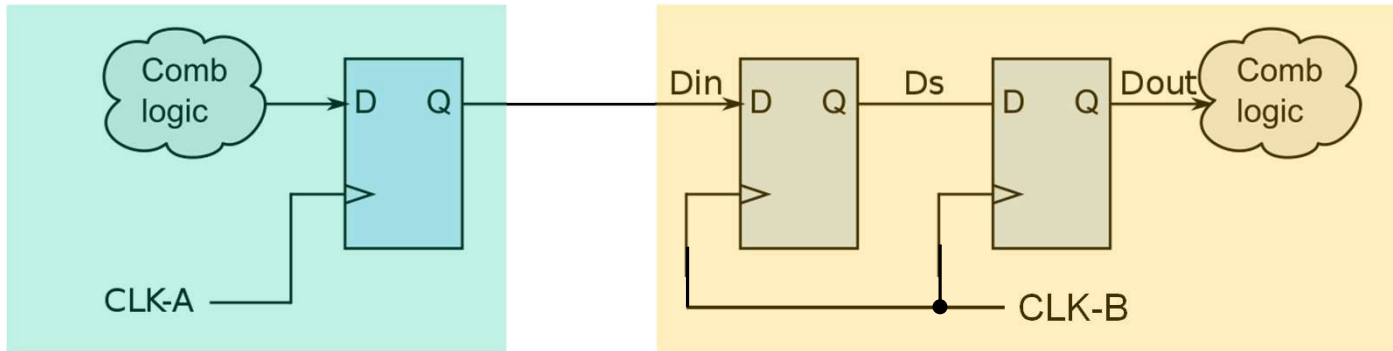
Acknowledge (ACK)

- Bestätigung T2 -> T1

Signale ohne Synchronisation

- müssen ab REQ bis ACK stabil bleiben (Aufgabe für Taktbereich 1)

Übergang zwischen Taktbereichen



Quelle: <https://vlsi.pro/metastability/>